

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-136062

(43)Date of publication of application : 18.05.2001

(51)Int.Cl. H03L 7/089
H03L 7/093

(21)Application number : 11-318997

(71)Applicant : NEC CORP

(22)Date of filing : 10.11.1999

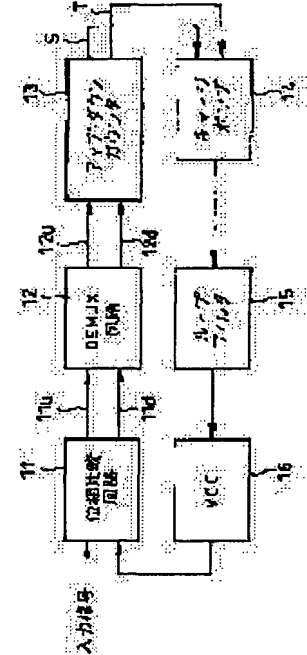
(72)Inventor : FUKAISHI MUNE0

(54) PLL CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To enhance the operating speed of a PLL circuit.

SOLUTION: A serial-parallel conversion (DEMUX) circuit 12 receives phase difference signals (an up signal 11u and a down signal 11d) being outputs of a phase comparator 11, the DEMUX circuit 12 applies serial-parallel conversion to the phase difference signals to decrease the speed of the phase difference signals and gives its outputs (a low speed up signal 12u and a low speed down signal 12d) whose speed slows down to an up-down counter circuit 13 so as to relax the operating speed of the up-down counter circuit 13.



LEGAL STATUS

[Date of request for examination] 10.10.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3292188

[Date of registration] 29.03.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(誌+要約+請求の範囲)

(19)【発行国】日本国特許庁(JP)
 (12)【公報種別】公開特許公報(A)
 (11)【公開番号】特開2001-136062(P2001-136062A)
 (43)【公開日】平成13年5月18日(2001. 5. 18)
 (54)【発明の名称】PLL回路
 (51)【国際特許分類第7版】

H03L 7/089
 7/093

【FI】

H03L 7/08 D
 E

【審査請求】有
 【請求項の数】8
 【出願形態】OL
 【全頁数】11

(21)【出願番号】特願平11-318997
 (22)【出願日】平成11年11月10日(1999. 11. 10)
 (71)【出願人】
 【識別番号】000004237
 【氏名又は名称】日本電気株式会社
 【住所又は居所】東京都港区芝五丁目7番1号
 (72)【発明者】
 【氏名】深石 宗生
 【住所又は居所】東京都港区芝五丁目7番1号 日本電気株式会社内
 (74)【代理人】
 【識別番号】100088812
 【弁理士】
 【氏名又は名称】▲柳▼川 信
 【テーマコード(参考)】

5J106

【Fターム(参考)】

5J106 AA04 BB01 CC01 CC24 CC41 CC52 DD00 DD09 DD19 DD32 DD42 DD48 KK02

(57)【要約】

【課題】PLL回路の動作速度を向上させる。
 【解決手段】位相比較器11の出力である位相差信号(up信号11u及びdown信号11d)をシリアル-パラレル変換(DEMUX)回路12に入力し、位相差信号をシリアル-パラレル変換することで位相差信号の速度を低下させ、速度が遅くなったDEMUX回路12の出力(低速up信号12u、及び低速down信号12d)をアップ・ダウンカウンタ回路13に入力することで、アップ・ダウンカウンタ回路13の動作速度を緩和させる。

【特許請求の範囲】

【請求項1】入力信号と発振信号との位相を比較する位相比較手段と、この位相比較手段の位相比較結果に応じてカウント値がアップ・ダウンするアップ・ダウンカウンタと、このカウンタのカウント値に応じて発振周波数が制御される発振手段とを含み、前記発振手段の出力を前記発振信号として動作するPLL回路であって、前記位相比較結果はシリアル信号であり、このシリアル信号をパラレル信号に変換するシリアル-パラレル変換手段を更に含み、この変換後のパラレル信号で前記アップ・ダウンカウンタのカウント値をアップ・ダウンするようにしたことを特徴とするPLL回路。
 【請求項2】前記シリアル信号は前記位相比較結果を示す一定幅の信号であることを特徴とする請求項1記載のPLL回路。
 【請求項3】前記シリアル-パラレル変換手段は、シリアルデータをnビット(nは自然数)のパラレルデータに変換する1:nDEMUX回路によって構成されることを特徴とする請求項1又は2記載のPLL回路。
 【請求項4】前記シリアル-パラレル変換手段は、1:2DEMUX回路によって構成されることを特徴とする請求項1又は2記載のPLL回路。

【請求項5】前記シリアルーパラレル変換手段は、1:4DEMUX回路によって構成されることを特徴とする請求項1又は2記載のPLL回路。

【請求項6】前記入力信号はNRZ信号であり、このNRZ信号から同期クロックを再生することを特徴とする請求項1～5のいずれかに記載のPLL回路。

【請求項7】前記入力信号は外部から入力される信号であり、この信号に同期したクロックを生成する逡倍PLL回路として動作することを特徴とする請求項1～5のいずれかに記載のPLL回路。

【請求項8】前記シリアルーパラレル変換手段は、前記位相比較手段と前記アップ・ダウンカウンタ回路との間に設けられていることを特徴とする請求項1～7のいずれかに記載のPLL回路。

詳細な説明

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はPLL回路(Phase Locked Loop)に関し、特にクロックの生成やデータの再生を行うPLL回路に関する。

【0002】

【従来の技術】通信の分野において、受信するデータからクロック成分を取り出すのに、PLL回路が広く使われている。このようなクロック及びデータ再生PLL回路ではデータからクロック成分を取り出す際、データの遷移する位相とPLL回路内で生成したクロックの位相とを比較し、その位相差を検出する回路として位相比較回路が用いられる。この位相比較回路は、入力される2信号の位相差を出力する方法によって2つの型に分類される。すなわち、1つは位相差をアナログ的に出力するリニア方式で、もう1つは位相差を2値のみで記述するバイナリ方式である。

【0003】リニア方式では、位相差信号の幅を位相差に伴って変化させることで、比較回路の出力にどのくらい位相が異なっているかという情報を含んで出力することができる。一方、バイナリ方式では、入力される2信号の位相のどちらが早いだけ判別し、比較結果を出力するので、2信号の位相差がどのくらいなのかという情報は含んでいない。従って、精密に位相を比較したい場合はリニア方式の位相比較回路を用いることが多い。また、バイナリ方式の位相比較回路はリニア方式に比べ位相差を正確に出力しない分、高速に動作する特徴を持っている。

【0004】近年、通信速度が高速になるに従い、クロック及びデータ抽出PLL回路で取り扱うデータ、クロック速度は高速化している。それに伴い、位相比較回路の動作速度も高速化が要求される。これは、クロック及びデータ再生PLL回路に用いられる位相比較回路は入力される伝送データとPLL回路内のクロックを比較するため、位相比較回路が入力データの速度で動作する必要があるからである。従って高速通信に用いられるクロック及びデータ再生PLL回路には、高速動作が可能なバイナリ方式の位相比較回路が用いられることが多い。

【0005】また、外部から入力されるクロックに同期した、外部クロック周波数よりも高速なクロックを作製する通倍PLL回路においても、取扱うクロック周波数が高速になっている。従って、通倍PLL回路に用いる比較回路においても高速化する必要がある。

【0006】図10は従来のバイナリ方式の位相比較回路を用いたクロック及びデータ再生PLL回路の一構成例を示すブロック図である。同図に示されているPLL回路は、位相比較回路11と、アップ・ダウンカウンタ13と、チャージポンプ14と、ループフィルタ15と、電圧制御発振器(以下、VCOと呼ぶ)16とを含んで構成されている。

【0007】かかる構成において、入力信号とVCO16の発振出力信号とが位相比較回路11に入力され、位相比較が行われる。この位相比較結果はup信号11u又はdown信号11dとして出力され、これらの信号によってアップ・ダウンカウンタ13をカウントアップ動作又はカウントダウン動作させる。

【0008】アップ・ダウンカウンタ13からは、進相信号S又は遅相信号Tが送出され、チャージポンプ14を動作させる。チャージポンプ14は、進相信号S及び遅相信号Tによってそれぞれ動作する1対のトランジスタを、電源とグラウンドとの間に接続した構成であり、それらトランジスタの接続点から出力を導出する。

【0009】このチャージポンプ14の出力は、ループフィルタ15に入力され、ループフィルタ15内のコンデンサを充電又は放電する。このコンデンサに蓄えられている電荷は制御電圧としてVCO16に入力される。これによってVCO16の発振周波数が制御される。すなわち、進相信号Sによってループフィルタ15内のコンデンサが充電されると、制御電圧が上昇してVCO16の発振周波数を高くする。一方、遅相信号Tによってループフィルタ15内のコンデンサが放電されると、制御電圧が下降してVCO16の発振周波数を低くする。

【0010】要するに、本回路では、位相の進み又は遅れの状態に応じてVCO16の発振周波数を制御することによって、入力信号と周波数が同一でかつ同じ位相の発振出力信号が得られるのである。

【0011】なお、位相比較回路の代わりに、周波数を比較する回路や位相及び周波数を共に比較する回路を用いてもPLL回路を構成することができる。

【0012】ところで、バイナリ方式の位相比較回路の出力は、例えばデータ1つ分の幅をもつ位相差信号のように、早い遅いだけをある一定の幅を持つup信号11u又はdown信号11dであるため、バイナリ方式の位相比較回路を用いたPLL回路では、PLL回路が安定状態になった場合でも位相比較回路11はup信号11u又はdown信号11dを出力してしまう。そのため、PLL回路のクロック信号は安定状態を境に早くなったり遅くなったりする動作(以下、バンバン動作と呼ぶ)をすることになる。

【0013】従来、このバイナリ方式を用いたPLL回路のバンバン動作によるクロック周波数の変化量を小さくすることを目的に、位相比較回路11の出力を直接チャージポンプ14に入力するのではなく、一度up信号11uとdown信号11dとをアップ・ダウンカウンタ13に入力し、バンバン動作を抑制することが行われている。アップ・ダウンカウンタ13は加減算回路から構成されており、up及びdown信号11dの2つの信号を入力とし、入力されるup信号11u又はdown信号11dの合計がある値以上になった場合に遅相信号T又は進相信号Sをチャージポンプ14に対して出力する構成となっている。

【0014】例えば、アップ・ダウンカウンタ13はup信号を+1、down信号を-1として、初めは0に位置しているとす。そして例えばアップ・ダウンカウンタ13のカウント値が+8になったら進相信号Sをチャージポンプ14に出力し、-8になったら遅相信号Tをチャージポンプ14に出力する。こうすることで、PLL回路が安定状態になったときのバンバン動作をアップ・ダウンカウンタ13が吸収することになり、結果としてPLL回路の安定度が増すこととなる。

【0015】

【発明が解決しようとする課題】しかしながら、伝送信号の速度が更に高速になると、加減算回路で構成されるアップ・ダウンカウンタは動作できなくなる。すると、PLL回路の動作速度をアップ・ダウンカウンタが制限することになる。

【0016】この理由は、以下の通りである。すなわちアップ・ダウンカウンタは、入力されるup信号又はdown信号と同じ周波数のクロックで動作する同期回路を用いて構成される。また、バイナリ位相比較器を用いた場合、up信号

及びdown信号は伝送データ速度に応じた速度で出力される。例えば、伝送データが 1Gb/s （「b/s」は、1秒当りの伝送ビット数）の場合、up信号又はdown信号は 1Gb/s で出力される。したがって、アップ・ダウンカウンタのカウンタ動作は、 1GHz の周期で行われることになる。

【0017】アップ・ダウンカウンタは加減算回路によって構成される。この加減算回路がクロックに同期して動作する同期回路で構成される場合、加減算回路はフリップフロップ及びセレクタによって構成されることになる。したがって、加減算回路の動作速度を越えた周期でup信号及びdown信号が入力された場合、アップ・ダウンカウンタは動作できなくなる。そして、up信号及びdown信号の速度は伝送データ速度に比例して変化する。

【0018】以上より、伝送データ速度が高速になると、アップ・ダウンカウンタは動作できなくなるのである。よって、アップ・ダウンカウンタが、PLL回路の動作速度を制限することになり、動作速度の高速化を妨げるという欠点がある。

【0019】本発明は上述した従来技術の欠点を解決するためになされたものであり、その目的は動作速度をより高速化することのできるPLL回路を提供することである。

【0020】

【課題を解決するための手段】本発明によるPLL回路は、入力信号と発振信号との位相を比較する位相比較手段と、この位相比較手段の位相比較結果に応じてカウンタ値がアップ・ダウンするアップ・ダウンカウンタと、このカウンタのカウンタ値に応じて発振周波数が制御される発振手段とを含み、前記発振手段の出力を前記発振信号として動作するPLL回路であって、前記位相比較結果はシリアル信号であり、このシリアル信号をパラレル信号に変換するシリアルーパラレル変換手段を更に含み、この変換後のパラレル信号で前記アップ・ダウンカウンタのカウンタ値をアップ・ダウンするようにしたことを特徴とする。なお、前記シリアル信号は前記位相比較結果を示す一定幅の信号であることを特徴とする。

【0021】そして、前記シリアルーパラレル変換手段は、 $1:2$ DEMUX回路や $1:4$ DEMUX回路等、シリアルデータを n ビット(n は自然数)のパラレルデータに変換する $1:n$ DEMUX回路によって構成される。

【0022】また、前記入力信号はNRZ信号であり、このNRZ信号から同期クロックを再生する。さらに、前記入力信号は外部から入力される信号であり、この信号に同期したクロックを生成する通倍PLL回路としてPLL回路を動作させても良い。なお、前記シリアルーパラレル変換手段は、前記位相比較手段と前記アップ・ダウンカウンタ回路との間に設ける。

【0023】要するに本PLL回路は、2つの信号の位相差を比較する比較回路から出力される比較結果をシリアルーパラレル変換する回路を有しているのである。そして、このシリアルーパラレル変換回路は、シリアルデータを n ビット(n は自然数)のデータに変換する $1:n$ DEMUX回路によって構成される。また、そのシリアルーパラレル変換回路は、位相比較回路と比較結果を演算するアップ・ダウンカウンタ回路との間に接続されるのである。

【0024】

【発明の実施の形態】次に、本発明の実施の一形態について図面を参照して説明する。なお、以下の説明において参照する各図においては、他の図と同等部分には同一符号が付されている。

【0025】図1は本発明によるPLL回路の実施の一形態を示すブロック図である。同図にはクロック及びデータを再生するためのPLL回路が示されている。同図に示されているPLL回路は、位相比較回路11と、シリアルーパラレル変換回路(DEMUX回路(デマルチプレクサ回路))12と、アップ・ダウンカウンタ13と、チャージポンプ14と、ループフィルタ15と、VCO16とを含んで構成されている。なお、位相比較回路11に入力される信号は、例えば周知のNRZ(No Return to Zero)信号であるものとし、この信号と位相が同一で周波数が等しい信号をVCO16において生成するのである。

【0026】このPLL回路では、従来の回路(図10)とは異なり、位相比較回路11とアップ・ダウンカウンタ13との間に位相比較回路11から出力されるup信号11uとdown信号11dの速度を低下させるためのDEMUX回路12を設けている。この結果、DEMUX回路12より出力される低速up信号12u及び低速down信号12dは、位相比較回路11から出力されるup信号11u及びdown信号11dに比べて低速となる。従って、アップ・ダウンカウンタ13の動作速度は、DEMUX回路12を用いない従来の回路の場合と比較して、緩和されることになる。

【0027】ここで、図1中のDEMUX回路12の構成例について図2を参照して説明する。同図を参照すると、DEMUX回路12はDEMUX12aと、DEMUX12bとを含んで構成されている。

【0028】DEMUX12aは、マスタスレーブーマスタ(MSM)型フリップフロップ(F/F)121と、D型F/F122とを含んで構成されている。

【0029】MSM型F/F121は、3段縦属接続されたラッチ(Latch)回路によって構成されている。そして、クロックの立上りタイミングで1段目のラッチ、そのクロックの立下りタイミングで2段目のラッチ、さらに次のクロックの立上りタイミングで3段目のラッチに、順次up信号11uが保持される。

【0030】一方、D型F/F122は、2段縦属接続されたラッチ(Latch)回路によって構成されている。そして、クロックの立下りタイミングで1段目のラッチ、次のクロックの立上りタイミングで2段目のラッチに、順次up信号11uが保持される。

【0031】以上のような構成により、DEMUX12aは、MSM型F/F121内の3段目のラッチの出力及びD型F/F122内の2段目のラッチの出力を低速up信号として送出することになる。なお、DEMUX12bもDEMUX12aと同様の構成であり、down信号11d及びクロックを入力とし、低速down信号12dを出力する。

【0032】次に、図1中のアップ・ダウンカウンタ13の構成例について図3を参照して説明する。同図を参照すると、up信号11u及びdown信号11dによって制御される $5:1$ セレクタ(Sel)131a～131n及びその出力を保持するF/F132a～132nが n 個(n は自然数)縦属接続されることによってアップ・ダウンカウンタ13が構成されている。各セレクタには、2段前及び1段前のF/Fの各出力、自段のF/Fの出力、並びに、1段後及び2段後のF/Fの各出力の合計5つの信号が入力されるものとし、これら5つの信号を合計4ビットのup信号12u及びdown信号12dで選択するものとする。そして、初段のF/F132aの出力が遅相信号Tとなり、最終段のF/F132nの出力が進相信号Sとなる。このカウンタ13の動作については後に詳述する。

【0033】

【実施例】図4は本発明の第1の実施例によるPLL回路の構成を示すブロック図である。本PLL回路は、位相比較回路11と、DEMUX回路12と、アップ・ダウンカウンタ13と、チャージポンプ14と、ループフィルタ15と、VCO16とを含んで構成されている。

【0034】同図に示されている実施例では、位相比較回路11より出力されるup信号11u及びdown信号11dの速度を緩和するためのDEMUX回路12に1:2DEMUX回路を用いている。従って、位相比較回路11の出力であるup信号11u及びdown信号11d(共にシリアル信号)に応じて、DEMUX回路12は図5に示されているように、パラレル信号を構成する2つの低速up信号(低速up信号(1)、低速up信号(2))、パラレル信号を構成する2つの低速down信号(低速down信号(1)、低速down信号(2))の合計4つの信号を出力する。この結果、DEMUX回路12の出力信号は、DEMUX回路12の入力信号の半分の速度となる。この低速化された4つの信号は次のアップ・ダウンカウンタ13に投入される。

【0035】アップ・ダウンカウンタ13は投入される4つの信号により、図6に示されているように、カウンタの位置を変化させる。例えば、2つの低速up信号が投入され2つの低速down信号が投入されない場合、カウンタ値は+2される。また、2つの低速up信号が投入されずに2つのdown信号が投入された場合、カウンタ値は-2される。低速up信号と低速down信号が共に投入された場合は、低速up信号と低速down信号との数を加減算してカウンタ値を決定する。

【0036】例えば、低速up信号が2つ投入され低速down信号が2つ投入された場合、カウンタ値は「0」となる。低速up信号が2つ投入され低速down信号が1つ投入された場合、カウンタ値は「+1」となる。低速up信号が1つ投入され低速down信号が2つ投入された場合、カウンタ値は「-1」となる。また、低速up信号と低速down信号とが共に投入されない場合は、カウンタ値は「0」となる。

【0037】DEMUX回路12を挿入することでアップ・ダウンカウンタ13の構成は複雑になるが、アップ・ダウンカウンタ13に投入される信号の低速up信号と低速down信号との速度が半分になるため、アップ・ダウンカウンタ13の動作速度も半分となる。

【0038】図7は本発明の第2の実施例によるPLL回路の構成を示すブロック図である。本例のPLL回路は、図4に示されている実施例と同様に、位相比較回路11と、DEMUX回路12と、アップ・ダウンカウンタ13と、チャージポンプ14と、ループフィルタ15と、VCO16とを含んで構成されている。なお、図7中のアップ・ダウンカウンタ13は、図3中の5:1セレクトを9:1セレクトに変更したものであるものとする。

【0039】ここで、1:4DEMUX回路12の内部構成例について図8を参照して説明する。同図を参照すると、up信号11uから低速up信号12uを生成するために、1:2DEMUX81aと、このDEMUX81aの2つの出力をそれぞれ入力とするDEMUX81b及び81cとを含んで構成されている。また、down信号11dから低速down信号12dを生成するために、1:2DEMUX82aと、このDEMUX82aの2つの出力をそれぞれ入力とするDEMUX82b及び82cとを含んで構成されている。同図中の各DEMUXは図2中の各DEMUXと同様の構成であるものとする。このような構成により、1:4DEMUX回路を実現することができるのである。

【0040】図7に示されている実施例では、位相比較回路11より出力されるup信号11u及びdown信号11dの速度を緩和するためのDEMUX回路12に、1:4DEMUX回路を用いている。従って、位相比較回路11の出力に応じて、DEMUX回路12は、4つの低速up信号12u、4つの低速down信号12dの合計8つの信号を出力する。この8つの信号、低速up信号12u及び低速down信号12dは次のアップ・ダウンカウンタ13に投入される。アップ・ダウンカウンタ13は投入される8つの信号を加減算することでカウンタの位置を変化させる。

【0041】本例のPLL回路では、DEMUX回路12を挿入しているのでアップ・ダウンカウンタ13の構成が複雑になる。しかし、アップ・ダウンカウンタ13に投入される信号の低速up信号12u及び低速down信号12dの速度が4分の1になるため、アップ・ダウンカウンタ13の動作速度も4分の1となる。

【0042】上述した2つの実施例のように位相比較回路11とアップ・ダウンカウンタ13との間に位相比較回路11の出力であるup信号11u及びdown信号11dをシリアル-パラレル変換するDEMUX回路12を挿入することで、DEMUX回路12のシリアル-パラレル変換の数に応じて、アップ・ダウンカウンタの動作速度を緩和することができる。すなわち、1:nDEMUX回路(nを自然数とする)を用いた場合は、アップ・ダウンカウンタの動作速度は $1/n$ に緩和されることとなる。

【0043】図9は本発明の第3の実施例によるPLL回路の構成を示すブロック図である。同図に示されているPLL回路は通倍PLL回路であり、図1に示されているPLL回路に分周器17を追加した構成である。このため、同図のPLL回路は、位相比較回路11と、シリアル-パラレル変換回路(DEMUX)12と、アップ・ダウンカウンタ13と、チャージポンプ14と、ループフィルタ15と、VCO16と、分周器17とを含んで構成されている。

【0044】同図中に示されているPLL回路は通倍PLL回路であり、リファレンス信号の2、3、4…といった整数倍の周波数のクロックを得るためのPLL回路である。このPLL回路は、VCO16の出力を分周した信号とリファレンス信号との位相及び周波数を同一にするように動作する。したがって、分周比が「2」の場合はVCO16の発振周波数はリファレンス信号の2倍となり、分周比が「3」の場合はVCO16の発振周波数はリファレンス信号の3倍となる。すなわち、分周器の分周比に比例した周波数を得ることができるのである。このようなクロックの通倍機能を持たせるために本例では分周器を挿入しているのである。

【0045】本実施例のPLL回路においても、位相比較回路11とアップ・ダウンカウンタ13との間に位相比較回路11から出力されるup信号11u及びdown信号11dの速度を下げるためのDEMUX回路12を設けている。この結果、アップ・ダウンカウンタ13に投入される低速up信号12u及び低速down信号12dは、位相比較回路11から出力されるup信号11u及びdown信号11dに比べて低速となる。よって、アップ・ダウンカウンタ13の動作速度はDEMUX回路12を用いない場合と比較して、緩和されることになる。

【0046】従って、本実施例によるPLL回路は、DEMUX回路12のシリアル-パラレル変換の変換割合に応じて高速動作する。例えば、1:2DEMUX回路をDEMUX回路12に用いた場合は、アップ・ダウンカウンタ13の動作速度は半分となる。また、1:4DEMUX回路を用いた場合にはアップ・ダウンカウンタ13の動作速度は4分の1となる。

【0047】本実施例のような通倍PLL回路の場合も、上述したクロック及びデータ再生PLL回路の場合と同様に、

位相比較回路11とアップ・ダウンカウンタ13との間に位相比較回路11の出力であるup信号11u及びdown信号11dをシリアルーパラレル変換するDEMUX回路12を挿入することで、DEMUX回路12のシリアルーパラレル変換の変換割合に応じて、アップ・ダウンカウンタ12の動作速度を緩和することができる。すなわち、1:nDEMUX回路(nは自然数とする)を用いた場合は、アップ・ダウンカウンタの動作速度は $1/n$ に緩和されることとなる。

【0048】請求項の記載に関連して本発明は更に次の態様をとる。

【0049】(1)前記位相比較手段の代わりに、前記入力信号と前記発振信号との周波数を比較する周波数比較手段を含み、この比較結果に応じて前記アップ・ダウンカウンタのカウンタ値をアップ・ダウンさせるようにしたことを特徴とする請求項1～8のいずれかに記載のPLL回路。

【0050】(2)前記位相比較手段の代わりに、前記入力信号と前記発振信号との位相及び周波数を比較する周波数比較手段を含み、この比較結果に応じて前記アップ・ダウンカウンタのカウンタ値をアップ・ダウンさせるようにしたことを特徴とする請求項1～8のいずれかに記載のPLL回路。

【0051】

【発明の効果】以上説明したように本発明は、入力信号と発振信号との位相比較結果に応じてカウンタ値がアップ・ダウンするアップ・ダウンカウンタのカウンタ値に応じてVCOの発振周波数を制御するように動作するPLL回路において、位相比較結果であるシリアル信号をパラレル信号に変換するシリアルーパラレル変換手段を設け、この変換後のパラレル信号でアップ・ダウンカウンタのカウンタ値をアップ・ダウンすることにより、従来PLL回路の速度を制限していたアップ・ダウンカウンタの動作速度を緩和させ、PLL回路の動作速度を向上させることができるという効果がある。

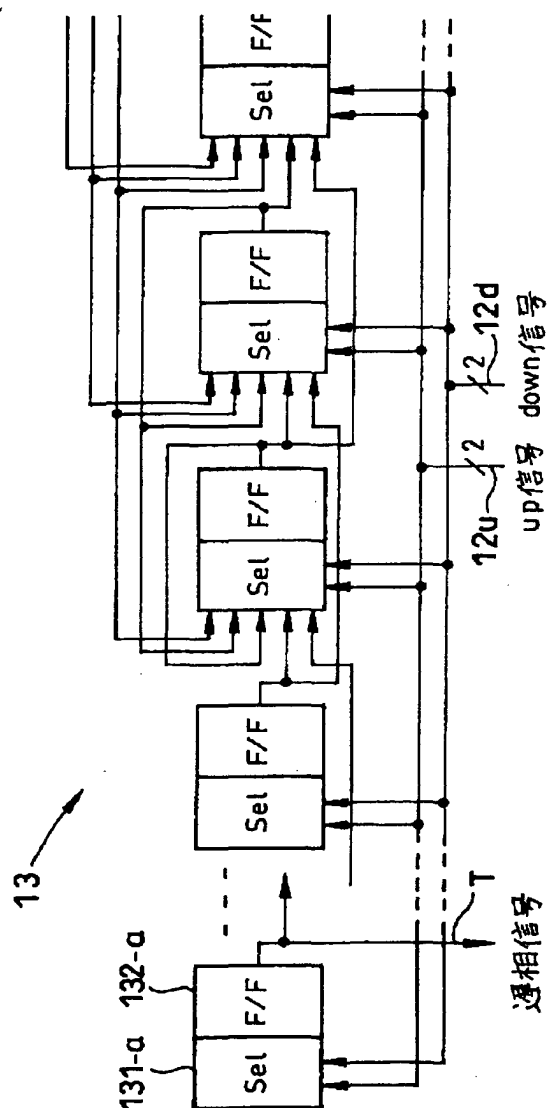
図の説明

【図面の簡単な説明】

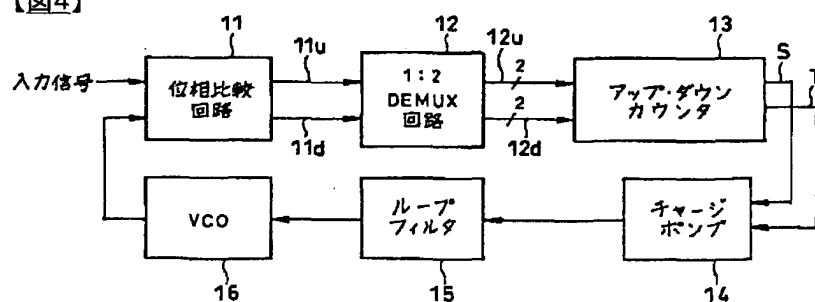
- 【図1】本発明の実施の一形態によるPLL回路の構成を示すブロック図である。
- 【図2】図1中のDEMUX回路の構成例を示すブロック図である。
- 【図3】図1中のアップ・ダウンカウンタの構成例を示すブロック図である。
- 【図4】本発明の第1の実施例によるPLL回路の構成を示すブロック図である。
- 【図5】図4のPLL回路の動作を示すタイミングチャートである。
- 【図6】図4のPLL回路の動作を説明するための図である。
- 【図7】本発明の第2の実施例によるPLL回路の構成を示すブロック図である。
- 【図8】図7中のDEMUX回路の構成例を示すブロック図である。
- 【図9】本発明の第3の実施例によるPLL回路の構成を示すブロック図である。
- 【図10】従来のPLL回路の構成を示すブロック図である。

【符号の説明】

- 11 位相比較回路
- 12 DEMUX回路
- 13 アップ・ダウンカウンタ
- 14 チャージポンプ
- 15 ループフィルタ
- 16 VCO
- 17 分周器



【図4】



【図5】

up信号 11u



低速up信号(1)



低速up信号(2)



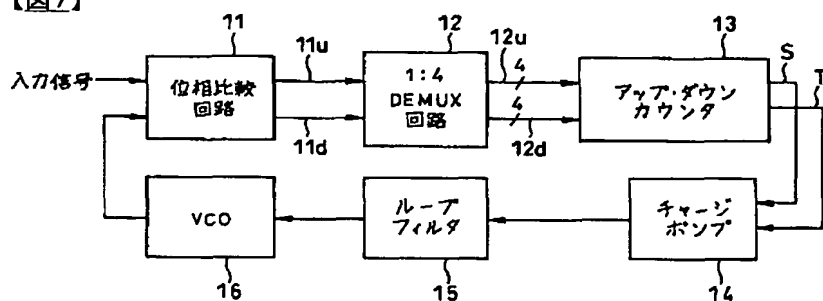
down信号 11d



低速 down 信号(1)

低速 down 信号(2)

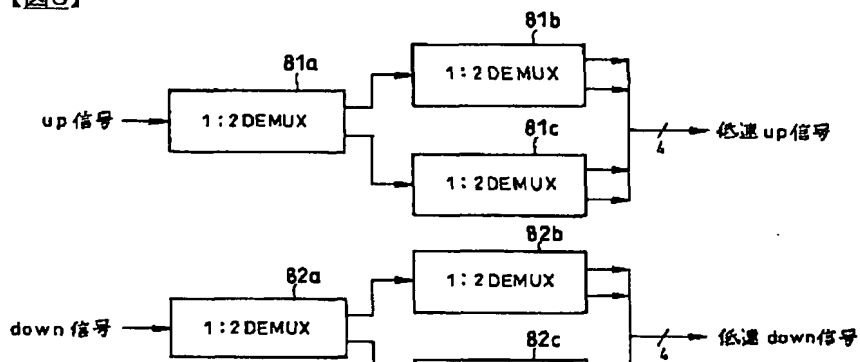
【図7】



【図6】

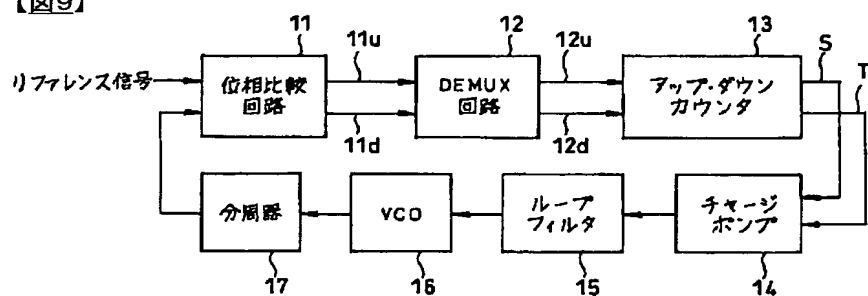
低速 up 信号の数	低速 down 信号の数	カウンタ値
0	0	0
0	1	- 1
0	2	- 2
1	0	+ 1
1	1	0
1	2	- 1
2	0	+ 2
2	1	+ 1
2	2	0

【図8】





【図9】



【図10】

